

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-223243

(43)Date of publication of application : 17.08.2001

(51)Int.Cl.

H01L 21/60

H01L 23/12

H01R 4/04

H01R 12/32

H05K 3/32

(21)Application number : 2000-034501

(71)Applicant : SEIKO EPSON CORP.

(22)Date of filing : 14.02.2000

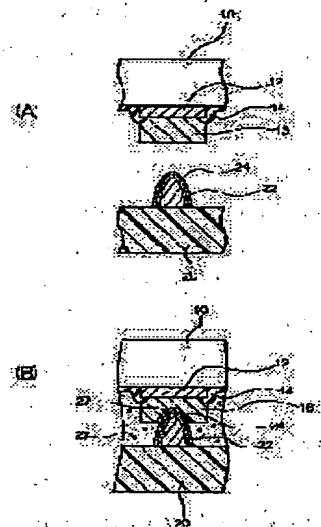
(72)Inventor : KURASHIMA YOHEI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD, CIRCUIT BOARD AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device capable of ensuring electrical connection reliability and its manufacturing method, a circuit board and an electronic equipment.

SOLUTION: The semiconductor device has a plurality of electrodes 12, and contains a semiconductor chip 10 in which bumps 16 are formed to each electrode 12. The board 20 on which the semiconductor chip 10 is loaded and to which wirings 22 having joining sections 24 with the bumps 16 are formed, the joining sections 24 of the wirings 22 are entered and joined to the bumps 16, and conductive particles 27 are interposed among the joining sections 24 and the bumps 16.



LEGAL STATUS

[Date of request for examination]

09.02.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

NOTICES

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device with which have two or more electrodes, and the semiconductor chip with which it comes to form a bump in each electrode, and said semiconductor chip are carried, said joint enters into said bump including the substrate with which wiring which has at least one joint with said bump was formed, and the adhesives on which an electric conduction particle is contained and said semiconductor chip and said substrate are pasted up, and said electric-conduction particle comes to intervene among said joints and bumps.

[Claim 2] It is the semiconductor device with which said wiring has said two or more joints in a semiconductor device according to claim 1, and the plurality of said joints comes to enter into said any one bump.

[Claim 3] Said wiring is a semiconductor device with which the plurality of said joints comes to enter into said any one bump including the substrate with which wiring which it has two or more electrodes, and the semiconductor chip with which it comes to form a bump in each electrode, and said semiconductor chip are carried, and has two or more joints with said bump was formed.

[Claim 4] It is the semiconductor device with which it comes to form the front face of said joint in a nickel-plating layer in a semiconductor device given in either of claim 1 to claims 3.

[Claim 5] It is the semiconductor device with which it comes to form the upper bed section in either of claim 1 to claims 4 rather than the end face section by the side of nothing and said substrate thinly in the line by which the longitudinal section where said joint is almost the same continues in the semiconductor device of a publication.

[Claim 6] Said joint is a semiconductor device which is the land by which the upper bed section was small formed in the semiconductor device given in either of claim 1 to claims 4 rather than the end face section by the side of said substrate.

[Claim 7] It is the semiconductor device which is the configuration in which said joint has two or more steps in a semiconductor device given in either of claim 1 to claims 6.

[Claim 8] The semiconductor device in which the side face and said bump of said joint come to carry out a pressure welding to either of claim 1 to claims 7 according to the shrinkage force of said adhesives in the semiconductor device of a publication.

[Claim 9] The semiconductor device constituted from a claim 1 as an IC card in the semiconductor device of a publication by either of claims 8.

[Claim 10] The semiconductor device which has an external terminal further in the semiconductor device of a publication in either of claim 1 to claims 8.

[Claim 11] The circuit board in which the semiconductor device according to claim 10 was mounted.

[Claim 12] Electronic equipment which has a semiconductor device according to claim 10.

[Claim 13] Said wiring is the manufacture approach of a semiconductor device of having a joint with said bump, making said joint entering into said bump, and making said electric conduction particle intervening among said joints and bumps, including the process mounted in the substrate with which it has two or more electrodes, the adhesives which contain an electric conduction particle for the semiconductor chip with which it comes to form a bump in each electrode were used, and wiring was formed.

[Claim 14] It is the manufacture approach of a semiconductor device of said wiring having said two or more joints in the manufacture approach of a semiconductor device according to claim 13, and making the plurality of said joints entering into said any one bump.

[Claim 15] The manufacture approach of the semiconductor device which forms the front face of said joint in a nickel-plating layer in the manufacture approach of a semiconductor device according to claim 13 or 14.

[Claim 16] The manufacture approach of the semiconductor device which forms the upper bed section thinly rather than the end face section by the side of said substrate while forming said joint in the line which the almost same longitudinal section follows in the manufacture approach of a semiconductor device given in either of claim 13 to claims 15.

[Claim 17] The manufacture approach of the semiconductor device which forms said joint in the manufacture approach of a semiconductor device given in either of claim 13 to claims 15 as a land in which the upper bed section was small formed rather than the end face section by the side of said substrate.

[Claim 18] The manufacture approach of the semiconductor device which forms said joint in either of claim 13 to claims 17 in the manufacture approach of the semiconductor device, a publication in the configuration which has two or more steps.

[Claim 19] The manufacture approach of a semiconductor device of carrying out the pressure welding of the side face and said bump of said joint of said wiring to either of claim 13 to claims 18 according to the shrinkage force of said adhesives in the manufacture approach of the semiconductor device a publication.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to electronic equipment at a semiconductor device and its manufacture approach, and a circuit board list.

[0002]

[Background of the Invention] In flip chip mounting, the bump prepared in the semiconductor chip and the circuit pattern formed in the substrate are connected electrically. For example, the pressure welding of a bump and the circuit pattern is carried out, or the approach of making an electric conduction particle intervene and connecting electrically is learned.

[0003] However, since the gap of a bump and a circuit pattern was not uniform when the substrate deformed, for example, or when a substrate is a multilayer substrate, it was difficult to secure electric connection dependability. Moreover, since the coefficient of thermal expansion of a substrate and a semiconductor chip differed, when the connection shifted to the longitudinal direction, it was difficult to

secure electric connection dependability.

[0004] This invention solves this trouble and that object is in providing with electronic equipment the semiconductor device which can secure electric connection dependability and its manufacture approach, and a circuit board list.

[0005]

[Means for Solving the Problem] (1) The semiconductor chip with which the semiconductor device concerning this invention has two or more electrodes, and it comes to form a bump in each electrode, The substrate with which wiring which said semiconductor chip is carried and has at least one joint with said bump was formed, An electric conduction particle is contained, said joint enters into said bump including the adhesives on which said semiconductor chip and said substrate are pasted up, and said electric conduction particle comes to intervene among said joints and bumps.

[0006] According to this invention, since the joint of wiring enters into a bump, even if the gap of two or more bumps and wiring is not uniform, reliable electrical installation and firm junction are attained. Moreover, even if the force in which a joint and a bump shift to a longitudinal direction is applied, an electric connection condition is maintained. Furthermore, an electric conduction particle tends to intervene between a joint and a bump because a joint enters into a bump.

[0007] (2) In this semiconductor device, said wiring had said two or more joints, and the plurality of said joints may enter into said any one bump.

[0008] Since the part which eats into a bump increases according to this, firmer connection is obtained. Moreover, since irregularity is made by two or more joints, the recess of an electric conduction particle is prevented and the intervening electric conduction particle number can be increased.

[0009] (3) The semiconductor device concerning this invention has two or more electrodes, the semiconductor chip with which it comes to form a bump in each electrode, and said semiconductor chip are carried, and, as for said wiring, the plurality of said joints comes to enter into said any one bump including the substrate with which wiring which has two or more joints with said bump was formed.

[0010] According to this invention, since the joint of wiring enters into a bump, even if the gap of two or more bumps and wiring is not uniform, reliable electrical installation and firm junction are attained. Moreover, even if the force in which a joint and a bump shift to a longitudinal direction is applied, an electric connection condition is maintained. Furthermore, an electric conduction particle tends to intervene between a joint and a bump because a joint enters into a bump.

[0011] Furthermore, since two or more joints eat into a bump, firmer connection is obtained. Moreover, since irregularity is made by two or more joints, the recess of an electric conduction particle is prevented and the intervening electric conduction particle number can be increased.

[0012] (4) In this semiconductor device, the front face of said joint may be formed in the nickel-plating layer.

[0013] Since nickel is hard, a joint can be formed firmly.

[0014] (5) In this semiconductor device, the upper bed section may be thinly formed in the line which the longitudinal section where said joint is almost the same follows rather than the end face section by the side of nothing and said substrate.

[0015] According to this, since the upper bed section of a joint is thin, he is a bump that it is easy to make a joint enter.

[0016] (6) In this semiconductor device, said joint may be a land in which the upper bed section was small formed rather than the end face section by the side of said substrate.

[0017] (7) In this semiconductor device, said joint may be a configuration which has two or more steps.

[0018] (8) In this semiconductor device, the side face and said bump of said joint may be doing the pressure welding according to the shrinkage force of said adhesives.

[0019] According to this, since the side face and bump of a joint do a pressure welding, electric connection dependability improves.

[0020] (9) This semiconductor device may be constituted as an IC card.

- [0021] (10) This semiconductor device may have an external terminal further.
- [0022] (11) As for the circuit board concerning this invention, the above-mentioned semiconductor device is mounted.
- [0023] (12) The electronic equipment concerning this invention has the above-mentioned semiconductor device.
- [0024] (13) The manufacture approach of the semiconductor device concerning this invention has two or more electrodes, the adhesives which contain an electric-conduction particle for the semiconductor chip with which it comes to form a bump in each electrode are used for it, and said wiring has a joint with said bump, makes said joint enter into said bump, and makes said electric-conduction particle intervene among said joints and bumps including the process mounted in the substrate with which wiring was formed.
- [0025] According to this invention, since the joint of wiring is made to enter into a bump, even if the gap of two or more bumps and wiring is not uniform, reliable electrical installation and firm junction are attained. Moreover, even if the force in which a joint and a bump shift to a longitudinal direction is applied, an electric connection condition is maintained. Furthermore, an electric conduction particle tends to intervene between a joint and a bump because a joint enters into a bump.
- [0026] (14) Said wiring has said two or more joints, and may make the plurality of said joints enter into said any one bump in the manufacture approach of this semiconductor device.
- [0027] Since the part which enters into a bump increases according to this, firmer connection is obtained. Moreover, since irregularity is made by two or more joints, the recess of an electric conduction particle is prevented and the intervening electric conduction particle number can be increased.
- [0028] (15) In the manufacture approach of this semiconductor device, the front face of said joint may be formed in a nickel-plating layer.
- [0029] Since nickel is hard, a joint can be formed firmly.
- [0030] (16) In the manufacture approach of this semiconductor device, while forming said joint in the line which the almost same longitudinal section follows, the upper bed section may be thinly formed rather than the end face section by the side of said substrate.
- [0031] According to this, since the upper bed section of a joint is thin, it is a bump that it is easy to make a joint enter.
- [0032] (17) In the manufacture approach of this semiconductor device, said joint may be formed as a land in which the upper bed section was small formed rather than the end face section by the side of said substrate.
- [0033] (18) In the manufacture approach of this semiconductor device, said joint may be formed in the configuration which has two or more steps.
- [0034] (19) In the manufacture approach of this semiconductor device, the pressure welding of the side face and said bump of said joint of said wiring may be carried out according to the shrinkage force of said adhesives.
- [0035] According to this, since the side face and bump of a joint do a pressure welding, electric connection dependability improves.
- [0036]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained with reference to a drawing.

[0037] Drawing 1 (A) and drawing 1 (B) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of the operation which applied this invention. With the gestalt of this operation, a semiconductor chip 10, a substrate 20, and ** are used.

[0038] Generally the flat-surface configuration of a semiconductor chip 10 is a rectangle. Two or more electrodes 12 are formed in one field of a semiconductor chip 10. The electrode 12 is located in a line along with at least one side (in the cases of many two parallel sides or four sides) of the field of a semiconductor chip 10. Moreover, the electrode 12 may be located in a line with the case where it has

ranked with the edge of the field of a semiconductor chip 10, in the center section. Each electrode 12 is the pad thinly formed in common with aluminum etc. Some electrodes [at least] 12 are avoided and the passivation film 14 is formed in the semiconductor chip 10. The passivation film 14 can be formed with SiO₂, SiN, polyimide resin, etc.

[0039] The bump 16 is formed in the electrode 12. Therefore, although a semiconductor chip 10 may be called a flip chip, the semiconductor chip 10 may be package-ized. A bump 16 may form by conductive paste, such as a silver paste, and may form with metals, such as gold, copper, silver, and tin. A bump 16 may form by electroless deposition and may be a bump by wirebonding. As for a bump 16, it is desirable to be formed with the ingredient softer than the ingredient which constitutes the joint 24 of the wiring 22 mentioned later. In addition, conductive paste is softer than gold, silver, copper, and nickel. Nickel is harder than gold, silver, and copper. Especially a bump's 16 configuration is not limited but may be making two or more steps of configurations.

[0040] A substrate 20 points out the base material (base substrate) which supports wiring 22 in this application. The ingredient of a substrate 20 may be which ingredient of an organic system or an inorganic system, and may consist of these composite constructions. As a substrate 20, the substrate or film which consists of polyethylene terephthalate (PET) may be used. Or the flexible substrate which consists of polyimide resin as a substrate 20 may be used. As a flexible substrate, FPC (Flexible Printed Circuit) and the tape used with a TAB (TapeAutomated Bonding) technique may be used. Moreover, a ceramic substrate and a glass substrate are mentioned as a substrate 20 formed from the ingredient of an inorganic system. As a composite construction of the ingredient of an organic system and an inorganic system, for example, a glass epoxy group plate is mentioned.

[0041] Especially the whole substrate 20 configurations may be any of the configuration which was not limited but combined a rectangle, a polygon, or two or more rectangles. The thickness of a substrate 20 is not limited, either.

[0042] Drawing 2 is the perspective view showing wiring. Wiring 22 is supported by the substrate 20, for example, wiring 22 is formed in one [at least] field of a substrate 20. In wiring 22, the part which aims at electric connection of at least two points may be pointed out, and two or more wiring 22 formed independently may be called a circuit pattern. wiring 22 — copper (Cu), chromium (Cr), titanium (Ti), nickel (nickel), or the titanium tungstens (Ti-W) — a laminating — carrying out — being certain — it is — it can creep — that — it may come out further and you may form. In this case, as for wiring 22, being plated with a pewter, tin, gold, nickel, etc. is desirable.

[0043] As for the ingredient which constitutes wiring 22, it is desirable that it is harder than the ingredient which constitutes a bump 16. For example, the wiring 22 shown in drawing.1 has the core layer which consists of an ingredient (for example, copper) which is easy to carry out patterning (etching), the interlayer who consists the front face of an ingredient with a high wrap degree of hardness (for example, nickel), and the surface layer which consists the front face of a high ingredient (for example, gold) of wrap conductivity further. According to this structure, while hardening a bump 16, electric connection dependability can be raised.

[0044] Moreover, nickel is a hard ingredient, and if the surface layer of a joint 24 is formed with nickel, it will tend to make a joint 24 eat into a bump 16. For example, the substrate of wiring 22 is formed in a substrate 20 with copper etc., non-electrolyzed nickel plating (about about ten micrometers) of thickness attachment may be performed, and the surface layer of nickel may be formed. Also to a thin line pattern, non-electrolyzed nickel plating is advantageous and can form a pattern with a certain amount of wiring thickness also to the pattern which became thin. Therefore, the wiring 22 of a ** pitch can be fattened.

[0045] With the gestalt of this operation, the upper bed section is thinly formed in the line which the longitudinal section where wiring 22 is almost the same follows rather than the end face section by the side of nothing and a substrate 20. Some wiring 22 serves as the joint 24 for joining with the bump 16 prepared in the semiconductor chip 10. A joint 24 contains the part (part buried with a bump 16) in

contact with a bump 16, and the end face section by the side of a substrate 20 (part supported by the substrate 20). In addition, as for the height of a joint 24, it is desirable that it is at least 20 micrometers — about 30 micrometers. The whole wiring 22 may be the height same in the almost same longitudinal section, and you may be the configuration or height from which a joint 24 and other parts differ.

[0046] After the wiring 22 of such a configuration sticks metallic foils, such as copper foil, on a substrate 20 through the charge of a binder (not shown) and applies a photolithography, it can be formed by performing isotropic etching. Moreover, by plating (preferably [although electrolytic plating is sufficient] electroless deposition), an interlayer may be formed with an ingredient with a high degree of hardness (for example, nickel), and the surface layer which consists of a conductive high ingredient (for example, gold) similarly may be formed in the front face of the core layer which consists of copper.

[0047] Wiring 22 may be formed without the adhesives other than such a three-layer substrate in a substrate 20, and a two-layer substrate may be constituted. For example, by sputtering etc., a metal layer is formed, patterning of this may be carried out by isotropic etching, and wiring 22 may be formed. Moreover, by plating (preferably [although electrolytic plating is sufficient] electroless deposition), an interlayer may be formed with an ingredient with a high degree of hardness (for example, nickel), and the surface layer which consists of a conductive high ingredient (for example, gold) similarly may be formed in the front face of the core layer which consists of copper.

[0048] The joint 24 of wiring 22 and a bump 16 are made to counter, it arranges, and a joint 24 is made to enter into a bump 16 with the gestalt of this operation, as are shown in drawing 1 (A), and shown in drawing 1 (B). Preferably, the upper bed section of a joint 24 is embedded by the bump 16.

[0049] The semiconductor chip 10 and the substrate 20 are pasted up with adhesives 26. Adhesives 26 contain the electric conduction particle 27 in order to raise the electric connection performance of the connected bodies. The electric conduction particle 27 consists of particles, such as for example, low material and a pewter, and they are distributing it in the charge of a binder. By carrying out like this, the electric conduction particle 27 can intervene between a bump 16 and a joint 24, and an electric connection performance can be raised.

[0050] Adhesives 26 may be the anisotropy electric conduction adhesives with which the electric conduction particle was distributed (ACA), for example, the anisotropy electric conduction film, (ACF), and anisotropy conductive paste (ACP). The electric conduction particle (filler) was distributed by the binder and, as for anisotropy electric conduction adhesives, a dispersant may be added. As a binder of anisotropy electric conduction adhesives, thermosetting adhesives are used in many cases.

[0051] In this way, a joint 24 and a bump 16 are connected electrically. a joint 24 and a bump 16 — contact — field contact may be carried out preferably. In addition, when a joint 24 has a flat upper bed side, the side face of a joint 24 may not contact a bump 16, but the upper bed side of a joint 24 may touch the bump 16. According to the gestalt of this operation, since the joint 24 of wiring 22 is made to enter into a bump 16, even if the gap of two or more bumps 16 and wiring 22 is not uniform, reliable electrical installation becomes possible. Moreover, even if the force in which a joint 24 and a bump 16 shift to a longitudinal direction is applied, an electric connection condition is maintained.

[0052] By the manufacture approach of the semiconductor device concerning the gestalt of this operation, a semiconductor chip 10 is mounted in a substrate 20 including the above-mentioned approach. Drawing 3 is drawing showing the mounting approach of the semiconductor chip concerning the gestalt of this operation. In addition, drawing 1 (A) and drawing 1 (B) are the sectional views cut with a different line, namely, drawing 3 is a sectional view along with the axis of the longitudinal direction of the wiring 22 shown in drawing 2.

[0053] Face down mounting (flip chip mounting) of the semiconductor chip 10 is carried out on the substrate 20 with which wiring 22 was formed. As shown in drawing 3, adhesives 26 are formed between a semiconductor chip 10 and a substrate 20. Adhesives 26 may be liquefied or an adhesion sheet which may be prepared by gel and prepared by the shape of a sheet. Adhesives 26 may use an epoxy resin as the main ingredients.

[0054] The field in a substrate 20 in which adhesives 26 are formed at least may serve as a split face. That is, the front face of a substrate 20 may be damaged so that the surface smoothness may be lost. The front face of a substrate 20 can be mechanically damaged chemically physically using etching material using the plasma, ultraviolet rays, ozone, etc. using sandblasting. By these, the adhesion area of a substrate 20 and a semiconductor chip 10 is increased, or physical and chemical adhesive strength is increased, and both can be pasted up more strongly. If the pressure welding of the side face and bump 16 of a joint 24 is carried out using the shrinkage force of adhesives 26, both electric connection dependability will improve.

[0055] What is necessary is just to form adhesives 26 at least in one side among a semiconductor chip 10 and a substrate 20. For example, in the example shown in drawing 3, adhesives 26 are prepared by liquefied or gel, and this is prepared on a substrate 20. In addition, it is not necessary to form adhesives 26 according to the whole surface of the loading side of a semiconductor chip 10, and they may be formed in a field narrower than it. If a semiconductor chip 10 and wiring 22 are pressurized in the direction which counters, adhesives 26 will spread in the direction of outside. Furthermore, a joint 24 is made to enter into a bump 16 by application of pressure, as shown in drawing 1 (B). In this way, electrical installation of a joint 24 and a bump 16 can be performed. Moreover, adhesives 26 are solidified and immobilization with a semiconductor chip 10 and a substrate 20 is performed. In this way, a semiconductor device can be obtained.

[0056] According to the gestalt of this operation, at the process which pastes up a semiconductor chip 10 and a substrate 20, electrical installation of the joint 24 of wiring 22 and a bump 16 can also be planned, and compaction of a process can be aimed at.

[0057] Drawing 4 is drawing showing the example which constituted the above-mentioned semiconductor device as an IC card. The IC card shown in drawing 4 has the back up plate 28 and the lamination layer 30 other than the configuration of the above-mentioned semiconductor device. The back up plate 28 is formed in the rear face (a bump 16 is the field of an opposite hand) of a semiconductor chip 10, and protects a semiconductor chip 10 from bending stress. The lamination layer 30 is a layer used as the table rear face of an IC card, and it comes to carry out printing if needed.

[0058] Drawing 5 is drawing showing the example in which the external terminal was prepared in the above-mentioned semiconductor device. That is, a through hole 32 etc. is formed in a substrate 20, the external terminal 34 is electrically connected with wiring 22, and it is prepared. The circuit board 1000 which mounted the semiconductor device 1 which has the external terminal 34 in drawing 6 is shown. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass epoxy group plate. Those electric flows are aimed at by being formed so that the circuit pattern which becomes the circuit board 1000 from copper etc. may serve as a desired circuit, and connecting mechanically those circuit patterns and external terminals 34 of a semiconductor device 1.

[0059] And the cellular phone 3000 is shown in the note type personal computer 2000 and drawing 8 at drawing 7 as electronic equipment which has the semiconductor device 1 which applied this invention.

[0060] This invention is not limited to the gestalt of the above-mentioned implementation, and various deformation is possible for it. For example, as shown in drawing 9, the joint 40 of wiring may be a configuration which has two or more steps. The joint 40 may be formed in the magnitude from which the end face section by the side of a substrate 20 (refer to drawing 1 (A)), the upper bed section formed on it, and ** differ in detail. In this case, the height locations of the top face of the end face section and the top face of the upper bed section differ, and a joint 40 has the field of two or more height locations. Therefore, a joint 40 has two or more steps.

[0061] Or as shown in drawing 10, the joint 50 of wiring may be a configuration acute in the direction of an upper bed, for example, a triangle, in a cross section. When a bump 16 is hard, it is easy to stab with the joint 50 of this configuration.

[0062] Furthermore, as shown in drawing 11, wiring may have a land with a larger area than other parts, and a land may be a joint 60. A land has the function to fully secure the electrical installation section. In

this case, rather than the end face section by the side of a substrate 20, the upper bed section may be formed small and the joint 60 as a land may be making the acute configuration towards the upper bed section.

[0063] Moreover, as shown in drawing 12, wiring 122 has two or more joints 124, and two or more joints 124 may also enter into one bump 16. Two or more joints 124 stand in a row, and may be formed. Since the part which eats into a bump 16 increases according to this, firmer connection is obtained. Moreover, since irregularity is made by two or more joints 124, the recess of the electric conduction particle 27 is prevented and the number of the intervening electric conduction particles 27 can be increased.

[0064] In the above modification, about points other than the content explained concretely, the same content as the gestalt of operation mentioned above is applied, and the same effectiveness can be attained.

[0065] In addition, the "semiconductor chip" of the gestalt of operation mentioned above can be transposed to a "electronic device", and electronic parts can also be manufactured. As electronic parts manufactured using such an electronic device, there is for example, a light corpuscle child, a resistor, a capacitor, a coil, an oscillator, a filter, a temperature sensor, a thermistor, a varistor, volume, or a fuse.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (A) and drawing 1 (B) are drawings showing the manufacture approach of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 2] Drawing 2 is drawing showing wiring concerning the gestalt of the operation which applied this invention.

[Drawing 3] Drawing 3 is drawing showing the manufacture approach of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 4] Drawing 4 is drawing showing the semiconductor device concerning the gestalt of this operation.

[Drawing 5] Drawing 5 is drawing showing the semiconductor device concerning the gestalt of this operation.

[Drawing 6] Drawing 6 is drawing showing the circuit board in which the semiconductor device concerning the gestalt of this operation was mounted.

[Drawing 7] Drawing 7 is drawing showing the electronic equipment which has a semiconductor device concerning the gestalt of this operation.

[Drawing 8] Drawing 8 is drawing showing the electronic equipment which has a semiconductor device concerning the gestalt of this operation.

[Drawing 9] Drawing 9 is drawing showing the modification of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 10] Drawing 10 is drawing showing the modification of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 11] Drawing 11 is drawing showing the modification of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Drawing 12] Drawing 12 is drawing showing the modification of the semiconductor device concerning the gestalt of the operation which applied this invention.

[Description of Notations]

10 Semiconductor Chip

12 Electrode

16 Bump

20 Substrate

22 Wiring

24 Joint

26 Adhesives

27 Electric Conduction Particle

34 External Terminal

40, 50, 60 Joint

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-223243

(P2001-223243A)

(43)公開日 平成13年8月17日(2001.8.17)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 S 5 E 0 7 7

23/12

H 0 1 R 4/04

5 E 0 8 5

H 0 1 R 4/04

H 0 5 K 3/32

B 5 E 3 1 9

12/32

H 0 1 L 23/12

L 5 F 0 4 4

H 0 5 K 3/32

H 0 1 R 9/09

A

審査請求 未請求 請求項の数19 O L (全 8 頁)

(21)出願番号

特願2000-34501(P2000-34501)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日

平成12年2月14日(2000.2.14)

(72)発明者

倉島 羊平

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人

100090479

弁理士 井上 一 (外2名)

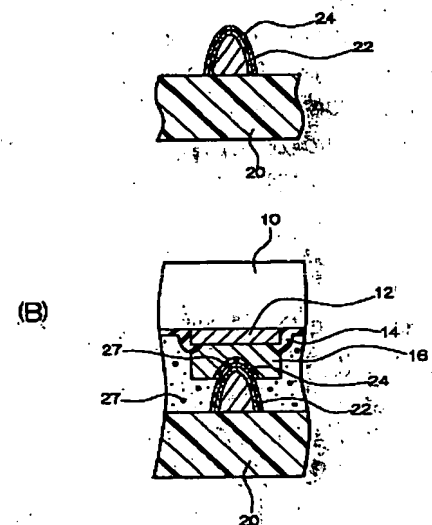
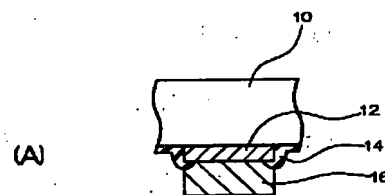
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57)【要約】

【課題】 電気的な接続信頼性を確保できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 半導体装置は、複数の電極12を有し、各電極12にパンプ16が形成されてなる半導体チップ10と、半導体チップ10が搭載され、パンプ16との接合部24を有する配線22が形成された基板20と、を含み、配線22の接合部24は、パンプ16に入り込んで接合され、接合部24とパンプ16の間には導電粒子27が介在する。



(2)

【特許請求の範囲】

【請求項1】 複数の電極を有し、各電極にバンプが形成されてなる半導体チップと、
前記半導体チップが搭載され、前記バンプとの少なくとも1つの接合部を有する配線が形成された基板と、
導電粒子を含有して、前記半導体チップと前記基板とを接着する接着剤と、を含み、
前記接合部は、前記バンプに入り込み、前記導電粒子は、前記接合部とバンプとの間に介在してなる半導体装置。

【請求項2】 請求項1記載の半導体装置において、
前記配線は、複数の前記接合部を有し、
いずれか1つの前記バンプに、前記接合部のうちの複数が入り込んでなる半導体装置。

【請求項3】 複数の電極を有し、各電極にバンプが形成されてなる半導体チップと、
前記半導体チップが搭載され、前記バンプとの接合部を複数有する配線が形成された基板と、
を含み、
前記配線は、いずれか一つの前記バンプに、前記接合部のうちの複数が入り込んでなる半導体装置。

【請求項4】 請求項1から請求項3のいずれかに記載の半導体装置において、
前記接合部の表面は、ニッケルメッキ層で形成されてなる半導体装置。

【請求項5】 請求項1から請求項4のいずれかに記載の半導体装置において、
前記接合部は、ほぼ同一の縦断面が連続する線状をなし、前記基板側の基端部よりも上端部が細く形成されてなる半導体装置。

【請求項6】 請求項1から請求項4のいずれかに記載の半導体装置において、
前記接合部は、前記基板側の基端部よりも上端部が小さく形成されたランド部である半導体装置。

【請求項7】 請求項1から請求項6のいずれかに記載の半導体装置において、
前記接合部は、複数段を有する形状である半導体装置。

【請求項8】 請求項1から請求項7のいずれかに記載の半導体装置において、
前記接着剤の収縮力によって、前記接合部の側面と前記バンプとが圧接してなる半導体装置。

【請求項9】 請求項1から請求項8のいずれかに記載の半導体装置において、ICカードとして構成された半導体装置。

【請求項10】 請求項1から請求項8のいずれかに記載の半導体装置において、
外部端子をさらに有する半導体装置。

【請求項11】 請求項10記載の半導体装置が実装された回路基板。

【請求項12】 請求項10記載の半導体装置を有する

電子機器。

【請求項13】 複数の電極を有して各電極にバンプが形成されてなる半導体チップを、導電粒子を含有する接着剤を使用して、配線が形成された基板に実装する工程を含み、

前記配線は、前記バンプとの接合部を有し、
前記接合部を、前記バンプに入り込ませ、前記導電粒子を前記接合部とバンプとの間に介在させる半導体装置の製造方法。

10 【請求項14】 請求項13記載の半導体装置の製造方法において、
前記配線は、複数の前記接合部を有し、

いずれか1つの前記バンプに、前記接合部のうちの複数を入り込ませる半導体装置の製造方法。

【請求項15】 請求項13又は請求項14記載の半導体装置の製造方法において、
前記接合部の表面を、ニッケルメッキ層で形成する半導体装置の製造方法。

20 【請求項16】 請求項13から請求項15のいずれかに記載の半導体装置の製造方法において、
前記接合部を、ほぼ同一の縦断面が連続する線状に形成するとともに、前記基板側の基端部よりも上端部を細く形成する半導体装置の製造方法。

【請求項17】 請求項13から請求項15のいずれかに記載の半導体装置の製造方法において、
前記接合部を、前記基板側の基端部よりも上端部が小さく形成されたランド部として形成する半導体装置の製造方法。

30 【請求項18】 請求項13から請求項17のいずれかに記載の半導体装置の製造方法において、
前記接合部を、複数段を有する形状で形成する半導体装置の製造方法。

【請求項19】 請求項13から請求項18のいずれかに記載の半導体装置の製造方法において、
前記接着剤の収縮力によって、前記配線の前記接合部の側面と前記バンプとを圧接させる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】 本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】 フリップチップ実装では、半導体チップに設けられたバンプと、基板に形成された配線パターンとを、電氣的に接続する。例えば、バンプと配線パターンとを、圧接させたり、導電粒子を介在させて電氣的に接続する方法が知られている。

50 【0003】 しかし、例えば基板が変形した場合や、基板が多層基板である場合には、バンプと配線パターンとのギャップが均一でないため、電氣的な接続信頼性を確

保することが難しかった。また、基板と半導体チップの熱膨張率が異なるため、接続部が横方向にずれると、電気的な接続信頼性を確保することが難しかった。

【0004】本発明は、この問題点を解決するものであり、その目的は、電気的な接続信頼性を確保できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】(1) 本発明に係る半導体装置は、複数の電極を有し、各電極にバンプが形成されてなる半導体チップと、前記半導体チップが搭載され、前記バンプとの少なくとも1つの接合部を有する配線が形成された基板と、導電粒子を含有して、前記半導体チップと前記基板とを接着する接着剤と、を含み、前記接合部は、前記バンプに入り込み、前記導電粒子は、前記接合部とバンプとの間に介在してなる。

【0006】本発明によれば、配線の接合部がバンプに入り込むので、複数のバンプと配線とのギャップが均一でなくても、信頼性の高い電気的接続及び強固な接合が可能になる。また、接合部とバンプとが横方向にずれる力が加えられても、電気的な接続状態が維持される。さらに、バンプに接合部が入り込むことで、接合部とバンプとの間に導電粒子が介在しやすい。

【0007】(2) この半導体装置において、前記配線は、複数の前記接合部を有し、いずれか1つの前記バンプに、前記接合部のうちの複数の入り込んでいてもよい。

【0008】これによれば、バンプに食い込む部分が増えるので、より強固な接続が得られる。また、複数の接合部によって凹凸ができるので、導電粒子の逃げが防止され、介在する導電粒子数を増やすことができる。

【0009】(3) 本発明に係る半導体装置は、複数の電極を有し、各電極にバンプが形成されてなる半導体チップと、前記半導体チップが搭載され、前記バンプとの接合部を複数有する配線が形成された基板と、を含み、前記配線は、いずれか一つの前記バンプに、前記接合部のうちの複数の入り込んでなる。

【0010】本発明によれば、配線の接合部がバンプに入り込むので、複数のバンプと配線とのギャップが均一でなくても、信頼性の高い電気的接続及び強固な接合が可能になる。また、接合部とバンプとが横方向にずれる力が加えられても、電気的な接続状態が維持される。さらに、バンプに接合部が入り込むことで、接合部とバンプとの間に導電粒子が介在しやすい。

【0011】さらに、複数の接合部がバンプに食い込むので、より強固な接続が得られる。また、複数の接合部によって凹凸ができるので、導電粒子の逃げが防止され、介在する導電粒子数を増やすことができる。

【0012】(4) この半導体装置において、前記接合部の表面は、ニッケルメッキ層で形成されていてもよ

い。

【0013】ニッケルは硬いので、接合部を硬く形成することができる。

【0014】(5) この半導体装置において、前記接合部は、ほぼ同一の縦断面が連続する線状をなし、前記基板側の基端部よりも上端部が細く形成されてもよい。

【0015】これによれば、接合部の上端部が細いので、バンプに接合部を入り込ませやすくなっている。

【0016】(6) この半導体装置において、前記接合部は、前記基板側の基端部よりも上端部が小さく形成されたランド部であってもよい。

【0017】(7) この半導体装置において、前記接合部は、複数段を有する形状であってもよい。

【0018】(8) この半導体装置において、前記接着剤の収縮力によって、前記接合部の側面と前記バンプとが圧接していてもよい。

【0019】これによれば、接合部の側面とバンプとが圧接するので、電気的な接続信頼性が向上する。

【0020】(9) この半導体装置は、ICカードとして構成されてもよい。

【0021】(10) この半導体装置は、外部端子をさらに有してもよい。

【0022】(11) 本発明に係る回路基板は、上記半導体装置が実装されたものである。

【0023】(12) 本発明に係る電子機器は、上記半導体装置を有する。

【0024】(13) 本発明に係る半導体装置の製造方法は、複数の電極を有して各電極にバンプが形成されてなる半導体チップを、導電粒子を含有する接着剤を使用して、配線が形成された基板に実装する工程を含み、前記配線は、前記バンプとの接合部を有し、前記接合部を、前記バンプに入り込ませ、前記導電粒子を前記接合部とバンプとの間に介在させる。

【0025】本発明によれば、配線の接合部をバンプに入り込ませるので、複数のバンプと配線とのギャップが均一でなくても、信頼性の高い電気的接続及び強固な接合が可能になる。また、接合部とバンプとが横方向にずれる力が加えられても、電気的な接続状態が維持される。さらに、バンプに接合部が入り込むことで、接合部とバンプとの間に導電粒子が介在しやすい。

【0026】(14) この半導体装置の製造方法において、前記配線は、複数の前記接合部を有し、いずれか一つの前記バンプに、前記接合部のうちの複数の入り込ませてもよい。

【0027】これによれば、バンプに食い込む部分が増えるので、より強固な接続が得られる。また、複数の接合部によって凹凸ができるので、導電粒子の逃げが防止され、介在する導電粒子数を増やすことができる。

【0028】(15) この半導体装置の製造方法において、前記接合部の表面を、ニッケルメッキ層で形成して

(4)

5

もよい。

【0029】ニッケルは硬いので、接合部を硬く形成することができる。

【0030】(16) この半導体装置の製造方法において、前記接合部を、ほぼ同一の縦断面が連続する線状に形成するとともに、前記基板側の基端部よりも上端部を細く形成してもよい。

【0031】これによれば、接合部の上端部が細いので、バンプに接合部を入り込ませやすくなっている。

【0032】(17) この半導体装置の製造方法において、前記接合部を、前記基板側の基端部よりも上端部が小さく形成されたランド部として形成してもよい。

【0033】(18) この半導体装置の製造方法において、前記接合部を、複数段を有する形状で形成してもよい。

【0034】(19) この半導体装置の製造方法において、前記接着剤の収縮力によって、前記配線の前記接合部の側面と前記バンプとを圧接させてもよい。

【0035】これによれば、接合部の側面とバンプとが圧接するので、電気的な接続信頼性が向上する。

【0036】

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0037】図1(A)及び図1(B)は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。本実施の形態では、半導体チップ10と、基板20と、が使用される。

【0038】半導体チップ10の平面形状は一般的には矩形である。半導体チップ10の一方の面に、複数の電極12が形成されている。電極12は、半導体チップ10の面の少なくとも1辺(多くの場合、平行な2辺又は4辺)に沿って並んでいる。また、電極12は、半導体チップ10の面の端部に並んでいる場合と、中央部に並んでいる場合がある。各電極12は、アルミニウムなどで薄く平らに形成されたパッドである。電極12の少なくとも一部を避けて半導体チップ10には、パッシベーション膜14が形成されている。パッシベーション膜14は、例えば、 SiO_2 、 SiN 、ポリイミド樹脂などで形成することができる。

【0039】電極12には、バンプ16が設けられている。したがって、半導体チップ10をフリップチップと称してもよいが、半導体チップ10がパッケージ化されていてもよい。バンプ16は、銀ペーストなどの導電ペーストで形成してもよいし、金、銅、銀及び錫などの金属で形成してもよい。バンプ16は、無電解メッキで形成してもよいし、ワイヤボンディングによるバンプであってもよい。バンプ16は、後述する配線22の接合部24を構成する材料よりも軟らかい材料で形成されていることが好ましい。なお、導電ペーストは、金、銅及びニッケルよりも軟らかい。ニッケルは、金、銀及び

6

銅よりも硬い。バンプ16の形状は特に限定されず、複数段の形状をなしていてもよい。

【0040】基板20は、本願では、配線22を支持する基材(ベース基板)を指す。基板20の材料は、有機系又は無機系のいずれの材料であってもよく、これらの複合構造からなるものであってもよい。基板20として、例えば、ポリエチレンテレフタレート(PET)からなる基板又はフィルムを使用してもよい。あるいは、基板20としてポリイミド樹脂からなるフレキシブル基板を使用してもよい。フレキシブル基板として、FPC(Flexible Printed Circuit)や、TAB(Tape Automated Bonding)技術で使用されるテープを使用してもよい。また、無機系の材料から形成された基板20として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。

【0041】基板20の全体形状は特に限定されず、矩形、多角形、あるいは複数の矩形を組み合わせた形状のいずれであってもよい。基板20の厚みも限定されない。

【0042】図2は、配線を示す斜視図である。配線22は、基板20に支持されており、例えば、基板20の少なくとも一方の面に配線22が形成されている。配線22とは、少なくとも2点の電気的な接続を図る部分を指し、独立して形成された複数の配線22を配線パターンと称してもよい。配線22は、銅(Cu)、クローム(Cr)、チタン(Ti)、ニッケル(Ni)、チタンタングステン(Ti-W)のうちのいずれかを積層して、あるいはいずれかの一層で形成してもよい。この場合、配線22は、ハンダ、スズ、金、ニッケルなどでメッキされていることが好ましい。

【0043】配線22を構成する材料は、バンプ16を構成する材料よりも硬いことが好ましい。例えば、図1に示す配線22は、パターンニング(エッチング)しやすい材料(例えば銅)からなるコア層と、その表面を覆う硬度の高い材料(例えばニッケル)からなる中間層と、さらにその表面を覆う導電性の高い材料(例えば金)からなる表面層と、を有する。この構造によれば、バンプ16を硬くするとともに、電気的な接続信頼性を高めることができる。

【0044】また、ニッケルは硬い材料であり、ニッケルで接合部24の表面層を形成すれば、接合部24をバンプ16に食い込ませやすい。例えば、基板20に銅などで配線22の下地を形成し、厚付けの無電解Niメッキ(十数 μm 程度)を行って、ニッケルの表面層を形成してもよい。無電解Niメッキは、細線パターンに対しても有利であり、細ったパターンに対しても、ある程度の配線厚を持ったパターンを形成することができる。したがって、狭ピッチの配線22を太らせることができる。

【0045】本実施の形態では、配線22は、ほぼ同一の縦断面が連続する線状をなし、基板20側の基端部よりも上端部が細く形成されている。配線22の一部が、半導体チップ10に設けられたパンプ16と接合するための接合部24となっている。接合部24は、パンプ16と接触する部分（パンプ16に埋まる部分）と基板20側の基端部（基板20に支持される部分）とを含む。なお、接合部24の高さは、少なくとも $20\mu\text{m}$ ～ $30\mu\text{m}$ 程度であることが好ましい。配線22の全体がほぼ同一の縦断面で同じ高さであってもよいし、接合部24とその他の部分とが異なる形状又は高さであってもよい。

【0046】このような形状の配線22は、銅箔等の金属箔を接着材料（図示せず）を介して基板20に貼り付けて、フォトリソグラフィを適用した後に、等方性のエッチングを行って形成することができる。また、銅からなるコア層の表面にメッキ（電解メッキでもよいが好ましくは無電解メッキ）によって硬度の高い材料（例えばニッケル）で中間層を形成し、同様にして導電性の高い材料（例えば金）からなる表面層を形成してもよい。

【0047】このような3層基板の他に、接着剤なしで配線22を基板20に形成して2層基板を構成してもよい。例えば、スパッタリング等によって金属層を形成し、これを等方性のエッチングでパターンニングして、配線22を形成してもよい。また、銅からなるコア層の表面にメッキ（電解メッキでもよいが好ましくは無電解メッキ）によって硬度の高い材料（例えばニッケル）で中間層を形成し、同様にして導電性の高い材料（例えば金）からなる表面層を形成してもよい。

【0048】本実施の形態では、図1（A）に示すように、配線22の接合部24と、パンプ16とを対向させて配置し、図1（B）に示すように、接合部24をパンプ16に入り込ませる。好ましくは、接合部24の上端部をパンプ16に埋め込む。

【0049】半導体チップ10と基板20とは、接着剤26によって接着されている。接着剤26は、被接続体同士の電気的な接続性能を向上させるために、導電粒子27を含んでいる。導電粒子27は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、パンプ16と接合部24との間に、導電粒子27が介在して電気的な接続性能を向上させることができる。

【0050】接着剤26は、導電粒子が分散された異方性導電接着剤（ACA）、例えば異方性導電膜（ACF）や異方性導電ペースト（ACP）であってもよい。異方性導電接着剤は、バインダに導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。

【0051】こうして、接合部24とパンプ16とが電

気的に接続される。接合部24とパンプ16とを接触、好ましくは面接触させてもよい。なお、接合部24が平坦な上端面を有する場合には、接合部24の側面がパンプ16と接触せず、接合部24の上端面がパンプ16と接触していてもよい。本実施の形態によれば、配線22の接合部24をパンプ16に入り込ませるので、複数のパンプ16と配線22とのギャップが均一でなくても、信頼性の高い電気的接続が可能になる。また、接合部24とパンプ16とが横方向にずれる力が加えられても、電気的な接続状態が維持される。

【0052】本実施の形態に係る半導体装置の製造方法では、上記方法を含んで半導体チップ10を基板20に実装する。図3は、本実施の形態に係る半導体チップの実装方法を示す図である。なお、図3は、図1（A）及び図1（B）とは異なる線で切った断面図であり、すなわち、図2に示す配線22の長手方向の軸線に沿って断面図である。

【0053】半導体チップ10は、配線22が形成された基板20上に、フェースダウン実装（フリップチップ実装）される。図3に示すように、半導体チップ10と基板20との間には、接着剤26を設ける。接着剤26は、液状又はゲル状で用意されるものであってもよいし、シート状で用意される接着シートであってもよい。接着剤26は、エポキシ樹脂を主な材料とするものであってもよい。

【0054】基板20における少なくとも接着剤26を設ける領域は、粗面となっていてよい。すなわち、基板20の表面をその平坦性をなくすように荒らしてもよい。基板20の表面は、サンドブラストを用いて機械的に、又はプラズマ、紫外線、オゾン等を用いて物理的に、エッチング材を用いて化学的に荒らすことができる。これらにより、基板20と半導体チップ10の接着面積を増大させたり、物理的、化学的な接着力を増大させたりして、両者をより強く接着することができる。接着剤26の収縮力を利用して、接合部24の側面とパンプ16とを圧接させれば、両者の電気的な接続信頼性が向上する。

【0055】接着剤26は、半導体チップ10及び基板20のうち、少なくとも一方に設ければよい。例えば、図3に示す例では、接着剤26を液状又はゲル状で用意し、基板20上にこれを設ける。なお、接着剤26は、半導体チップ10の搭載面の全面に応じて設ける必要はなく、それより狭い領域に設けてもよい。半導体チップ10及び配線22を対向する方向に加圧すると、接着剤26は、外方向に広がる。さらに、加圧によって、図1（B）に示すように、接合部24をパンプ16に入り込ませる。こうして、接合部24とパンプ16との電気的接続を行うことができる。また、接着剤26を固化させて、半導体チップ10と基板20との固定を行う。こうして、半導体装置を得ることができる。

(6)

9

【0056】本実施の形態によれば、半導体チップ10と基板20とを接着する工程で、配線22の接合部24とバンパ16との電氣的接続も図ることができる。工程の短縮を図ることができる。

【0057】図4は、上記半導体装置をICカードとして構成した例を示す図である。図4に示すICカードは、上記半導体装置の構成の他に、補強板28と、ラミネート層30とを有する。補強板28は、例えば半導体チップ10の裏面（バンパ16は反対側の面）に設けられ、曲げ応力から半導体チップ10を保護するものである。ラミネート層30は、ICカードの表裏面となる層であり、必要に応じて印刷がされてなる。

【0058】図5は、上記半導体装置に外部端子が設けられた例を示す図である。すなわち、基板20にスルーホール32などが形成され、外部端子34が、配線22と電氣的に接続されて設けられている。図6には、外部端子34を有する半導体装置1を実装した回路基板1000が示されている。回路基板1000には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の外部端子34とを機械的に接続することでそれらの電氣的導通を図る。

【0059】そして、本発明を適用した半導体装置1を有する電子機器として、図7にはノート型パーソナルコンピュータ2000、図8には携帯電話3000が示されている。

【0060】本発明は、上記実施の形態に限定されるものではなく、種々の変形が可能である。例えば、図9に示すように、配線の接合部40は、複数段を有する形状であってもよい。詳しくは、基板20（図1（A）参照）側の基端部と、その上に形成される上端部と、が異なる大きさで接合部40が形成されていてよい。この場合、基端部の上面と、上端部の上面との高さ位置が異なり、接合部40は複数の高さ位置の面を持つ。したがって、接合部40は、複数段を有する。

【0061】あるいは、図10に示すように、配線の接合部50は、断面において上端の方向に尖鋭の形状、例えば三角形であってもよい。この形状の接合部50は、バンパ16が硬い場合に刺しやすい。

【0062】さらに、図11に示すように、配線が、他の部分よりも面積の大きいランド部を有し、ランド部が接合部60であってもよい。ランド部は、電氣的接続部を十分に確保する機能を有する。この場合、ランド部としての接合部60は、基板20側の基端部よりも上端部が小さく形成されていてよく、上端部に向けて尖鋭形状をなしていてもよい。

【0063】また、図12に示すように、配線122が複数の接合部124を有し、1つのバンパ16に複数の接合部124が入り込んでよい。複数の接合部124

10

は、並列して形成されてもよい。これによれば、バンパ16に食い込む部分が増えるので、より強固な接続が得られる。また、複数の接合部124によって凹凸ができるので、導電粒子27の逃げが防止され、介在する導電粒子27の数を増やすことができる。

【0064】以上の変形例で、具体的に説明した内容以外の点については、上述した実施の形態と同じ内容が当てはまり、同じ効果を達成することができる。

【0065】なお、上述した実施の形態の「半導体チップ」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

【図面の簡単な説明】

【図1】図1（A）及び図1（B）は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図2】図2は、本発明を適用した実施の形態に係る配線を示す図である。

【図3】図3は、本発明を適用した実施の形態に係る半導体装置の製造方法を示す図である。

【図4】図4は、本実施の形態に係る半導体装置を示す図である。

【図5】図5は、本実施の形態に係る半導体装置を示す図である。

【図6】図6は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

【図7】図7は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図8】図8は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図9】図9は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

【図10】図10は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

【図11】図11は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

【図12】図12は、本発明を適用した実施の形態に係る半導体装置の変形例を示す図である。

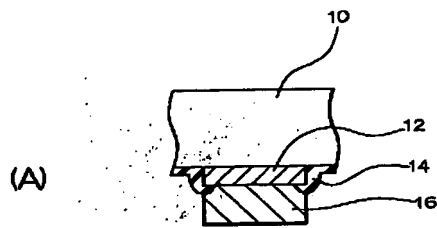
【符号の説明】

- 10 半導体チップ
- 12 電極
- 16 バンパ
- 20 基板
- 22 配線
- 24 接合部
- 26 接着剤
- 27 導電粒子
- 34 外部端子

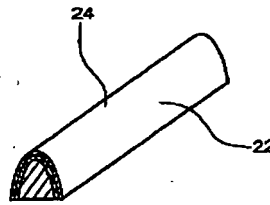
(7)

40、50、60 接合部

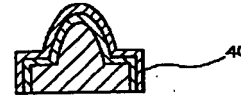
【図1】



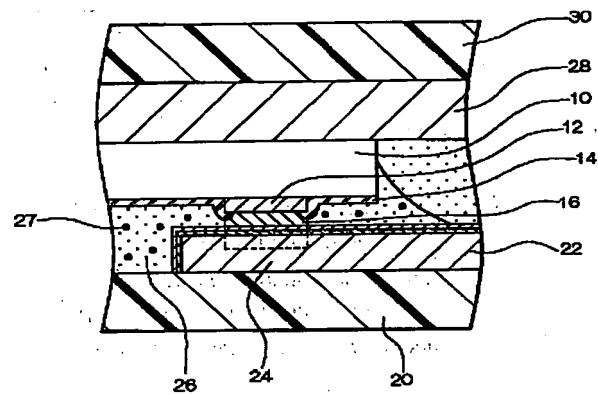
【図2】



【図9】

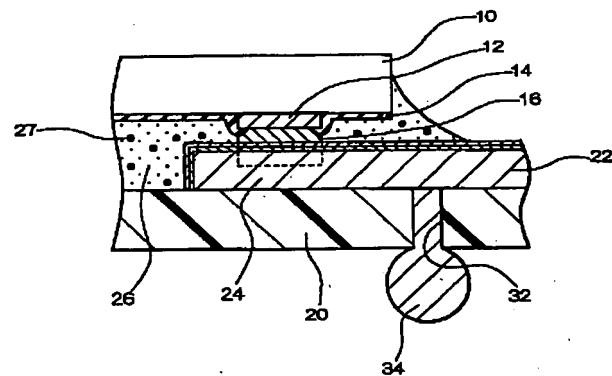
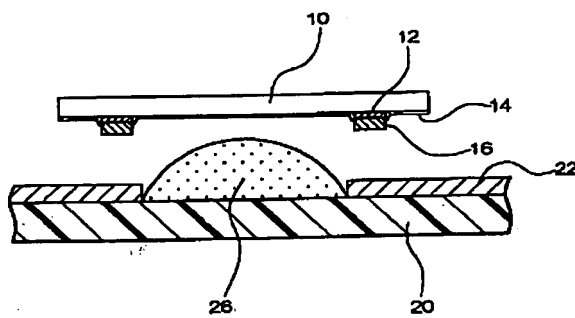


【図4】



【図5】

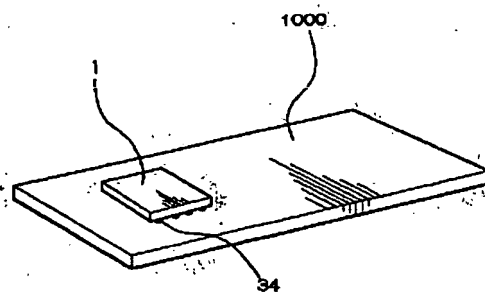
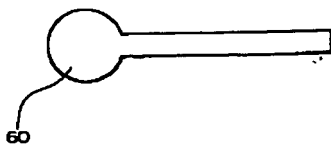
【図3】



【図6】

【図10】

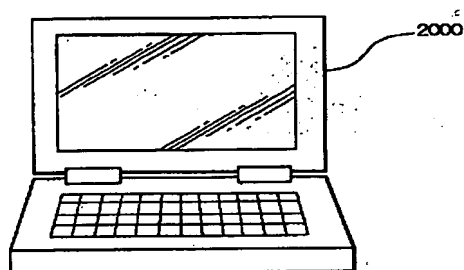
【図11】



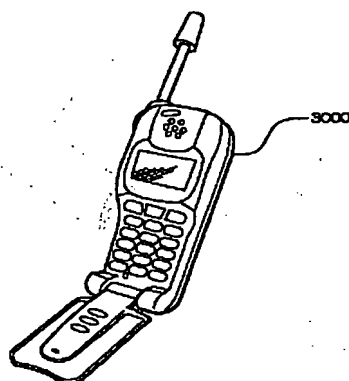
BEST AVAILABLE COPY

(8)

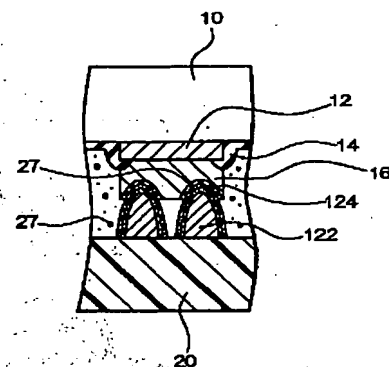
【図7】



【図8】



【図12】



フロントページの続き

Fターム(参考) 5E077 BB28 BB31 BB38 CC26 DD04
 HH07 HH09 JJ11 JJ21 JJ30
 5E085 BB08 BB28 CC03 DD06 EE02
 EE23 EE34 FF11 JJ06 JJ31
 5E319 AA03 AB05 AC01 BB11 CC02
 CC61
 5F044 KK02 KK04 KK17 LL07 LL09
 LL11 LL15 QQ02 RR19